

(19)



JAPANESE PATENT OFFICE

TI-154234A

PATENT ABSTRACTS OF JAPAN

(/)

(11) Publication number: **02062984 A**(43) Date of publication of application: **02 . 03 . 90**

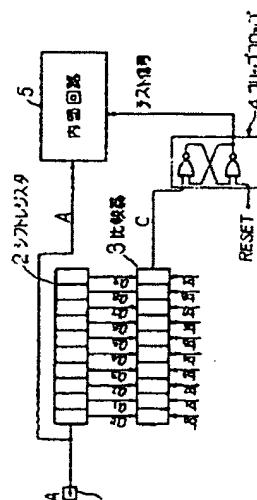
(51) Int. Cl

G01R 31/28**H01L 21/66****H01L 27/04**(21) Application number: **63215909**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **30 . 08 . 88**(72) Inventor: **KOIKE HIDEJI****(54) TESTING CIRCUIT FOR INTEGRATED CIRCUIT**

(57) Abstract:

PURPOSE: To switch the circuit from a normal operation mode to a test mode without increasing the number of test pins by providing a shift register, a comparator, and an FF.

CONSTITUTION: An input signal A is sent from an input terminal 1 to an internal circuit 5 and also inputted to the shift register 2. The register 2 is stored with bit patterns $a_0 \dots a_9$ in time series. Those patterns $a_0 \dots a_9$ are compared 3 with previously set bit patterns $b_0 \dots b_9$. When they conform with each other, the output signal C of the comparator 3 is 1 and when not, 0 is outputted. This signal C is sent out to the FF 4. When the value of the signal C is 1, the FF 4 is set and outputs a test signal o 1. This signal operates on the circuit 5, which is switched from the normal operation mode to the test mode.



COPYRIGHT: (C)1990,JPO&Japio

⑪ 公開特許公報(A)

平2-62984

⑫ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月2日

G 01 R 31/28
H 01 L 21/66
27/04F 7376-5F
T 7514-5F
6912-2G

G 01 R 31/28

W

審査請求 有 請求項の数 1 (全3頁)

⑭ 発明の名称 集積回路のテスト回路

⑮ 特 願 昭63-215909

⑯ 出 願 昭63(1988)8月30日

⑰ 発 明 者 小 池 秀 治 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導
体システム技術センター内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 佐 藤 一 雄 外2名

明 細 書

1. 発明の名称

集積回路のテスト回路

2. 特許請求の範囲

集積回路に内蔵され、テスト信号に基づいて、
前記集積回路を通常動作モードからテストモード
に切換える集積回路のテスト回路において、

前記集積回路の入力端子に入力される入力信号
の時系列を記憶する記憶部と、この記憶部に記憶
されたビットパターンと予め設定されるパターン
とを比較し、一致しているときに一致信号を出力
する比較部と、この比較部から出力される一致信
号に基づいて前記テスト信号を発生するテスト信
号発生部とを設けたことを特徴とする集積回路の
テスト回路。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は集積回路に内蔵され、テスト信号に基
づいて前記集積回路を通常動作モードからテスト
モードに切換える集積回路のテスト回路に関する
ものである。

(従来技術)

集積回路に内蔵された従来技術のテスト回路は、外
部から入力されるテスト信号に基づいて上記集積
回路を通常動作モードからテストモードに切換え
ていた。このため、テスト信号を直接入力するテ
スト端子を上記集積回路に設ける必要があった。

(発明が解決しようとする課題)

テスト端子を設けるためには、ピン数を増加す
る必要がある。このためピン数に制限のある場合
にはテスト端子を設けることができなかった。

本発明は、テストピンを増すことなく、集積回
路を通常動作モードからテストモードに切換える
集積回路のテスト回路を提供することを目的とす

る。

〔発明の構成〕

（課題を解決するための手段）

本発明は、集積回路に内蔵され、テスト信号に基づいて、集積回路を通常動作モードからテストモードに切換える集積回路のテスト回路において、集積回路の入力端子に入力される入力信号の時系列を記憶する記憶部と、この記憶部に記憶されたビットパターンと予め設定されるパターンとを比較し、一致しているときに一致信号を出力する比較部と、この比較部から出力される一致信号に基づいてテスト信号を発生するテスト信号発生部とを設けたことを特徴とする。

（作用）

このように構成される本発明による集積回路のテスト回路によれば、集積回路の入力端子に入力される入力信号の時系列が記憶部に記憶される。そして、この記憶部に記憶されたビットパターンと予め設定されるパターンとが比較部において比較され、一致しているときに一致信号が比較部か

らば出力信号Cの値は“0”になる。この出力信号Cはフリップフロップ4に送出される。そして出力信号Cの値が“1”のときにフリップフロップ4がセットされ、フリップフロップ4から値が“1”のテスト信号が出力される。値が“1”のテスト信号は集積回路の内部回路5に作用する。

すると、内部回路は通常動作モードからテストモードに切り替る。一方テストモードを解除するにはフリップフロップ4にリセット信号を入力し、テスト信号の値を“0”にすることにより達成される。

なお、第1図に示した比較器3の回路構成の一例を第2図に示す。この比較器3は、Exclusive OR回路 e_0, \dots, e_9 と、NOR回路 f とを有している。各Exclusive OR回路 e_i ($i=0, \dots, 9$)は入力 a_i および b_i が一致しているときのみ値“0”を出力し、不一致のときに値“1”を出力する。そして、各Exclusive OR回路 e_i ($i=0, \dots, 9$)の出力はNOR回路 f に送出

ら出力される。この一致信号に基づいてテスト信号がテスト信号発生部から発生され、集積回路が通常動作モードからテストモードに切換わる。これによりテストピンを増すことなく集積回路を通常動作モードからテストモードに切換えることができる。

（実施例）

第1図に本発明による集積回路のテスト回路の一実施例を示す。この実施例のテスト回路はシフトレジスタ2と、比較器3と、フリップフロップ4とを備えている。集積回路の入力端子1から入力信号Aが集積回路の内部回路5に伝えられるとともに、シフトレジスタ2に入力される。そしてシフトレジスタ2において時系列としてビットパターン (a_0, \dots, a_9) が蓄えられる。このシフトレジスタ2に蓄えられたビットパターン

(a_0, \dots, a_9) は予め設定されるビットパターン (b_0, \dots, b_9) と比較器3において比較される。そして一致していれば比較器3から出力される出力信号Cの値は“1”に、一致していな

ければ出力信号Cの値は“0”になる。この出力信号Cはフリップフロップ4に送出される。そして出力信号Cの値が“1”のときにフリップフロップ4がセットされ、フリップフロップ4から値が“1”のテスト信号が出力される。値が“1”のテスト信号は集積回路の内部回路5に作用する。したがって、ビットパターン (a_0, \dots, a_9) が予め設定されるビットパターン (b_0, \dots, b_9) と一致すると、各Exclusive OR回路 e_i ($i=0, \dots, 9$)の出力は“0”となり、これによりNOR回路 f の出力は“1”となる。すなわち、一致しているかどうかを検出することができる。

以上により本実施例によればテストピンを増すことなく集積回路を通常動作モードからテストモードに切換えることができる。

〔発明の効果〕

本発明のテスト回路によれば、テストピンを増すことなく、集積回路を通常動作モードからテストモードに切換えることができる。

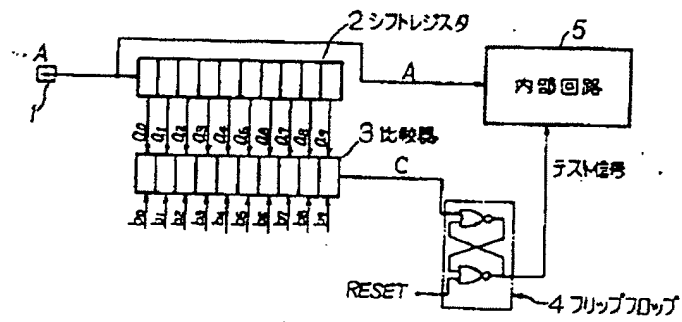
4. 図面の簡単な説明

第1図は本発明による集積回路のテスト回路の一実施例を示すブロック図、第2図は、第1図に示した比較器3の構成の一例を示す回路図である。

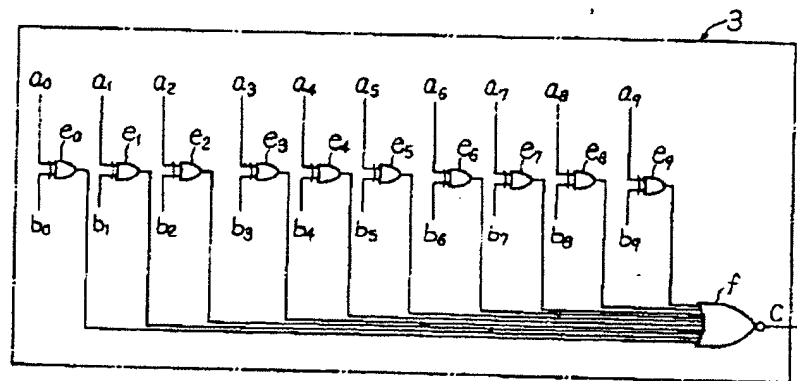
1…入力端子、2…シフトレジスタ、3…比較

器、4…フリップフロップ、5…内部回路。

出願人代理人 佐 藤 一 雄



第1図



第2図